

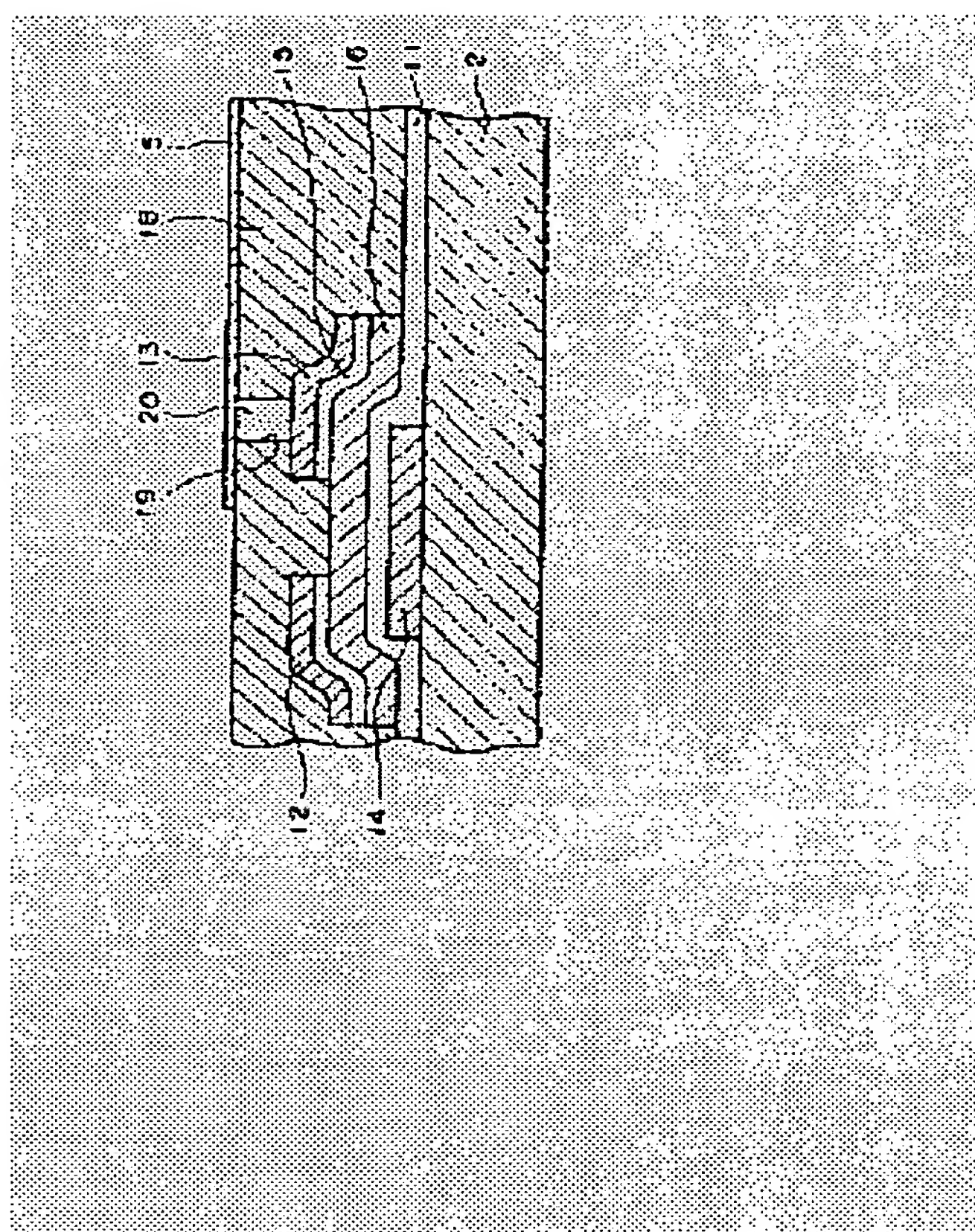
THIN FILM TRANSISTOR

Patent number: JP1068727
Publication date: 1989-03-14
Inventor: WAKAI HARUO
Applicant: CASIO COMPUTER CO LTD
Classification:
- international: G02F1/1368; G02F1/1333; G02F1/13; (IPC1-7): G02F1/133;
H01L27/12; H01L29/78
- european: G02F1/1368
Application number: JP19870225820 19870909
Priority number(s): JP19870225820 19870909

Report a data error here

Abstract of JP1068727

PURPOSE:To securely connect a transparent picture element electrode and a source electrode without increasing the thickness of the transparent picture element electrode by providing the transparent picture element electrode on a transparent insulating layer and connecting the picture element electrode and source electrode through a contact hole wherein a plating layer is charged. **CONSTITUTION:**The contact hole 19 is formed in the transparent insulating layer 18 from its top surface to the source electrode 13 and the plating layer 20 is charged therein. This plating layer 20 flattens the step on the surface of the transparent insulating layer 18 and the transparent picture element electrode 5 of about 500Angstrom in thickness is formed on the top surface of the transparent insulating layer 18 and plating layer 20 and connected electrically to the source electrode 13 through the plating layer 20. Consequently, excellent connection states are obtained between the source electrode 13 and plating layer 20, and plating layer 20 and transparent picture element electrode 5, so that the source electrode 13 and transparent picture element electrode 5 are connected electrically and surely.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-68727

⑤ Int. Cl. ⁴	識別記号	庁内整理番号	④ 公開 昭和64年(1989)3月14日
G 02 F 1/133	3 2 7	7370-2H	
H 01 L 27/12		A-7514-5F	
29/78	3 1 1	A-7925-5F	審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 薄膜トランジスタ

⑭ 特 願 昭62-225820

⑮ 出 願 昭62(1987)9月9日

⑯ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
社八王子研究所内

⑰ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

透明絶縁基板上に形成された、少なくともゲート電極、ゲート絶縁層、半導体層、ドレイン電極及びソース電極より成るトランジスタ領域と、

前記透明絶縁基板上に前記トランジスタ領域を覆って形成された透明絶縁層と、

該透明絶縁層にその表面から前記ソース電極まで形成されたコンタクトホールと、

該コンタクトホール内に充填されたメッキ層と、

前記透明絶縁層上に形成され、前記メッキ層を介して前記ソース電極に接続された透明画素電極とを備えたことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクスディスプレイ等にスイッチング素子として使用される薄膜トランジスタ(Thin Film Transistor, 以下TFTと

称す)に関する。

(従来の技術)

第4図はTV等の画像表示装置として利用されているアクティブマトリクスディスプレイ1の概念図である。アクティブマトリクスディスプレイ1は、その一方の側にマトリクスパネル1aを備えている。このマトリクスパネル1aは、ガラスの如き透明な絶縁基板2上にマトリクス状に配列された各画素毎に設けられた透明画素電極5と、これら透明画素電極5間を交差するように走っている信号線(ドレイン線)3及び走査線(ゲート線)4と、各透明画素電極5毎に配設形成されたTFT6とからなっている。また、マトリクスパネル1aと対向する側には、一面に透明電極8の形成されたガラス基板9を備え、マトリクスパネル1aと透明電極8との間に液晶7を封入することによってアクティブマトリクスディスプレイ1が構成されている。

第5図は、第4図に示したマトリクスパネル1a内の任意のTFT6及びその近傍における電

特開昭64-68727(2)

極及び配線の配置状態を示した平面図である。第5図に示すように、TFT6の形成領域において、走査線4を信号線3との交差部分でわずかに突出させ、この突出部をTFT6のゲート電極14とすると共に、このゲート電極14上に半導体層16を介して位置する信号線3の一部をTFT6のドレイン電極12とし、またゲート電極14上の半導体層16上から透明画素電極5上にかけて電極を形成し、これをTFT6のソース電極13としている。

第6図は、第5図に示したTFT6及びその近傍のA-A拡大断面図である。第6図に示すように、絶縁基板2上にゲート電極14が形成され、このゲート電極14上及び絶縁基板2上を覆って酸化シリコン若しくは窒化シリコン等の絶縁層(ゲート絶縁膜)11が形成される。ゲート電極14の上方及びその近辺には、絶縁層11を介してアモルファスシリコン(a-Si)等からなる半導体層16が形成される。更に絶縁層11上には、半導体層16と近接した位置に、ITO(Indium

(In)-Tin(Sn)-Oxide)等からなる透明画素電極5が形成される。半導体層16上であって、ゲート電極14の両端部の上方には、ハイドロブのコンタクト層15を介してドレイン電極12とソース電極13が形成される。この際、ソース電極13の一部が透明画素電極5に接続される。このように構成されたTFT6は、ゲート電極14とドレイン及びソース電極12、13とが半導体層16に関して互いに異なる平面上にあるもので、逆スタガ型と称されている。

(従来技術の問題点)

第4図～第6図で示したTFT6では、上述したように、透明画素電極5とソース電極13及びドレイン電極12とが同一平面上に配設されている。そのため、特に第5図に示した電極等の配置状態から明らかな様に、ドレイン電極12から延びた信号線3と透明画素電極5との間で短絡を生じ易いという問題がある。

そこで、このような短絡を防止するために、透明画素電極5と信号線3間には、これらを形成す

る場合の加工精度及びアライメント精度から決定される一定の間隔しを設けるようにしている。この間隔しは、通常、例えば20 μ m以上という大きな値である。ところが、このような広い間隔しを設ければ、上記の短絡は防止されるが、その反面、透明画素電極5の面積が小さくなり、すなわち、有効表示面積が小さくなってしまいう問題点が生じる。例えば、マトリクスパネル1a上の1つの画素に割当てられた面積に対する透明画素電極5の面積の割合である開口率は、上記間隔しを最小限の20 μ mとした場合であっても、50%程度と非常に小さくなってしまいう。

この様な問題を解決するため、本発明者は、ソース及びドレイン電極上を透明絶縁層で覆い、この透明絶縁層上に透明画素電極を形成し、これと同時に、透明画素電極とソース電極とをコンタクトホールを介して接続する構成のTFTを開発した。

ところが、透明画素電極及びこれとソース電極とのコンタクト領域がスパックリングによって同

時工程で形成されることから、以下のような問題点を生じることがわかった。すなわち、前述した短絡を確実に防止する必要により透明絶縁層に十分な厚みを持たせているが、これに伴い上記コンタクトホールの深さも2000～3000 \AA 程度と深くなる。そのため、透明画素電極とソース電極とを確実に接続させるだけの厚みを上記コンタクト領域に持たせるためには、これと同時に工程で形成される透明画素電極の厚みを2000 \AA 以上にしなければならない。このように透明画素電極の厚みが増加すると、その加工精度が低下すると共に、光透過率の低下という問題も生じてくる。

(発明の目的)

本発明は、上記問題点に鑑み、透明画素電極とドレイン電極(ドレイン線)間の短絡を無くし、同時に有効表示面積を極めて広くとることができ、しかも透明画素電極の厚みを増加させることなしに透明画素電極とソース電極間を確実に接続できる薄膜トランジスタ(TFT)を提供することを目的とする。

特開昭64-68727(3)

(発明の要点)

本発明は、上記目的を達成するために、トランジスタ領域の形成された透明絶縁基板上を透明絶縁層で覆い、その上に透明画素電極を設け、メッキ層の充填されたコンタクトホールを介して透明画素電極とソース電極を接続したことを要点とする。

(実施例)

以下、本発明の実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例の構成を示す断面図であり、第2図は本実施例のTFTをアクティブマトリクスディスプレイ(第4図参照)に採用した場合の同TFT及びその近傍における電極及び配線の配置状態を示す平面図である。すなわち、第2図のB-B拡大断面図が第1図に相当する。

まず、透明な絶縁基板2上には、第1図に示すように厚さ1000Å程度のゲート電極14が形成され、更に第2図に示すように上記ゲート電極14に接続された走査線(ゲート線)4が長く延びて

配設されている。これらゲート電極14及び走査線4は、第1図に示すように、厚さ3000Å程度の絶縁層(ゲート絶縁膜)11で覆われている。ゲート電極14の上方及びその近辺には、絶縁層11を介して、アモルファスシリコン等からなる厚さ1000Å程度の半導体層16が形成されている。この半導体層16上であってゲート電極14の両端部の上方には、高濃度のアモルファスシリコン等からなる厚さ500Å程度のコンタクト層15を介して、それぞれ厚さ1000Å程度のドレイン電極12とソース電極13が形成されている。また絶縁層11上には、第2図に示すように、走査線4と交差して信号線(ドレイン線)3が長く延びて配設され、その半導体層16上の領域が上記ドレイン電極12となっている。

更に、本実施例では、上述したようなゲート電極14、絶縁層11、半導体層16、コンタクト層15、ドレイン電極12及びソース電極13から構成されるトランジスタ領域と、信号線3及び走査線4とが、第1図に示すように、表面の平坦

な透明絶縁層18によって覆われている。透明絶縁層18の上面からドレイン電極12及びソース電極13までの厚さは、例えば3000Å程度である。このような透明絶縁層18の上面からソース電極13にかけてコンタクトホール19が形成され、この中はメッキ層20で充填されている。このメッキ層20により、透明絶縁層18の表面の段差が平坦化される。このように平坦化された透明絶縁層18及びメッキ層20の上面に厚さ500Å程度の透明画素電極5が形成され、これにより透明画素電極5はメッキ層20を介しソース電極13に電気的に接続される。

以上のように構成された本実施例のTFTでは、第1図に明らかなように、ドレイン電極12(及びこれに接続されて延びている信号線3)と透明画素電極5とが透明絶縁層18を介して互いに異なる平面上に形成されている。このことから、第6図に示したように各電極を同一平面上に形成した従来のTFTの構造と比較して、信号線3と透明画素電極5間の距離(上下方向の距離)を大き

くとることができる。よってその間の短絡を大幅に減少させることができる。

また、上述したように透明画素電極5が透明絶縁層18を介して他の電極及び配線とは別平面上にあって短絡を防止できることから、第2図に明らかなように、信号線(ドレイン線)3及び走査線(ゲート線)4に囲まれた全ての領域に透明画素電極5を配設することができ、すなわち第5図に示した間隔Lをゼロとすることができる。そればかりでなく、平面的に視て、透明画素電極5を信号線3及び走査線4上に重ねるように配設することもできる。このようにすることにより、不透明領域(TFT領域及び配線領域)を除くすべての領域を有効表示エリアとすることができるので、有効表示面積はとりうる最大の値となる。本実施例によれば、開口率70%以上(従来は50%以下)を実現できる。

しかも、本実施例では、上述したようにコンタクトホール19内に予めメッキ層20を充填して表面の段差をなくし、その後に透明画素電極5を

特開昭64-68727(4)

形成している。そのため、ソース電極13とメッキ層20との間及びメッキ層20と透明画素電極5との間では、いずれも良好な接続状態を得ることができ、よってソース電極13と透明画素電極5とを電氣的に確実に接続することができる。この際、透明画素電極5の厚みがメッキ層20との接続状態に影響を及ぼすことはないので、上記厚みは例えば500Å程度に薄くできる。従って、透明画素電極5を厚くすることによって生じる前述した問題（加工精度の低下及び光透過率の低下）が起こることはない。

次に第3図(a)～(e)を参照して、上記構成のTFTの製造工程を説明する。

まず、第3図(a)に示すように、表面の洗浄された透明な絶縁基板2上に、スパッタリング或いは蒸着等で例えば1000Å厚程度の金属膜を被着し、この金属膜をフォトリソグラフィ法等でパターンニングすることによって、ゲート電極14及び走査線（ゲート線、第2図及び第4図参照）4を形成する。絶縁基板2としてはガラス、石英、サファ

イア等を用いることができ、またゲート電極14及び走査線4としてはクロム、チタン、タングステン、 tantalum、銅等の金属を用いることができる。

その後、第3図(b)に示すように、ゲート電極14及び走査線（ゲート線）4を覆って、絶縁基板2の一面に絶縁層（ゲート絶縁膜）11を、プラズマCVD法等により例えば3000Å厚に形成する。絶縁層11としては窒化シリコン（SiN）又は酸化シリコン（SiO₂）等を使用できる。続いて、第3図(c)に示すように、絶縁層11上にアモルファスシリコン（a-i-Si）等からなる半導体層16と高濃度のアモルファスシリコン（a-n⁺-Si）等からなるコンタクト層15をプラズマCVD法等によりそれぞれ例えば1000Å、500Å厚に積層形成し、ゲート電極14の上方及びその近辺だけを覆うようにフォトリソグラフィ法等を用いてパターンニングする。半導体層16及びコンタクト層15としては、上述したアモルファスシリコン以外にも、アモルファスの炭化シリ

コン（SiC）、テルル、セレン、ゲルマニウム、硫化カドミウム（CdS）、カドミウムセレン（CdSe）等を用いることができる。

次に、コンタクト層15及び絶縁層11を覆うように蒸着もしくはスパッタリング等で例えば1000Å厚程度の金属膜を形成し、この金属膜及びコンタクト層15をフォトリソグラフィ法等でパターンニングすることにより、第3図(d)に示すようにゲート電極14の両端部の上方にドレイン電極12及びソース電極13を形成する。この際、ドレイン電極12から延びた信号線（ドレイン線、第2図及び第4図参照）3をも同時に形成する。ドレイン電極12、ソース電極13及び信号線3としては、クロム、チタン、タングステン、タンタル、銅等の金属を用いることができる。

以上の工程により、絶縁基板2上にトランジスタ領域17が形成される。次に、上記トランジスタ領域17、走査線（ゲート線）4及び信号線（ドレイン線）3の形成された絶縁層11上を覆って、第3図(e)に示す様に、表面の平坦化された

透明絶縁層18をスピンコート法等により形成する。透明絶縁層18としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布、焼成によって形成された絶縁膜（SOC膜）等の透明な絶縁膜を使用でき、その上面からソース及びドレイン電極13、12までの厚さが例えば3000Å程度となるようにする。続いて、通常のエッチングもしくはプラズマエッチング等を利用して、透明絶縁層18の上面からソース電極12にかけてコンタクトホール19を形成する。

次に、これまでの工程で得られた素子の全体を無電解メッキ液に浸すことにより、第3図(f)に示すように、コンタクトホール19内にメッキ層20を充填し、透明絶縁層18の表面の段差をなくする。この場合、コンタクトホール19の底部（ソース電極13）にのみ金属の露出面が存在することから、メッキ液中ではこのソース電極13上にのみメッキ材が析出していき、最終的にはコンタクトホール19内をメッキ材で埋めることができる。ソース電極13がアルミニウム、銅、ク

特開昭64-68727 (5)

ロム、タングステン、タンタル等でできている場合は、ニッケル、金、銀、クロム等をメッキ材とする無電解メッキ液を使用できる。

そして最後に、第3図(向)に示す様に、透明絶縁層18及びメッキ層20上に透明電極材料を例えば500Å厚にスパッタリングし、これをパターニングすることにより、各画素領域毎に透明画素電極5を形成する(第2図参照)。この際、透明絶縁層18上の透明画素電極5とソース電極13とがメッキ層20を介して電氣的に接続される。透明電極材料としては、酸化錫(SnO_2)、酸化インジウム(InO_2)、ITO等を使用できる。

上述した製造工程では、一般に不良の発生しやすい透明画素電極5の形成工程が最終工程となるので、たとえこの工程で不良が発生した場合であっても、直前の工程からのやり直しが可能である。よって、ほとんど無欠陥でTFTマトリクスアレイを作成でき、ほぼ100%完成品のアクティブマトリクスディスプレイとすることも可能である。

また、TFT特性を測定する場合は、透明画素

電極5を形成した時点で行うことができるという利点もある。

更に、透明絶縁層18の形成工程後はメッキ工程及びスパッタリングによる透明画素電極5の形成工程だけであることから、透明絶縁層18はスパッタリングの温度(高々150℃程度)に耐えるものであればよく、よって上述したポリイミドやアクリル等のような耐熱性の低い材料も使用できる。

(発明の効果)

以上説明したように、本発明によれば、ドレイン電極と透明画素電極とを透明絶縁層を介して互いに別平面に形成したことにより、透明画素電極とドレイン電極(信号線)との短絡をなくすることができ、しかも透明画素電極の面積を拡げて有効表示面積を著しく大きくとることができる。

しかも、コンタクトホール内にはメッキ層を充填し、このメッキ層を介して透明画素電極とソース電極とを接続したことにより、透明画素電極の厚みを増加させることなしに上記の接続を確実に

行うことができる。

更に、本発明のTFTを製造する場合は、透明画素電極の形成工程を最終工程とすることができるために、この工程で多く発生しやすい不良を発見して単独で再形成が可能となり、既にマトリクスアレイとして形成済の他のTFTを無駄にすることもなくなる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示す断面図、

第2図は第1図に示したTFT及びその近傍における電極及び配線の配置状態を示す平面図、

第3図(a)~(d)は同実施例の薄膜トランジスタ(TFT)の製造工程図、

第4図は従来のアクティブマトリクスディスプレイの概念図、

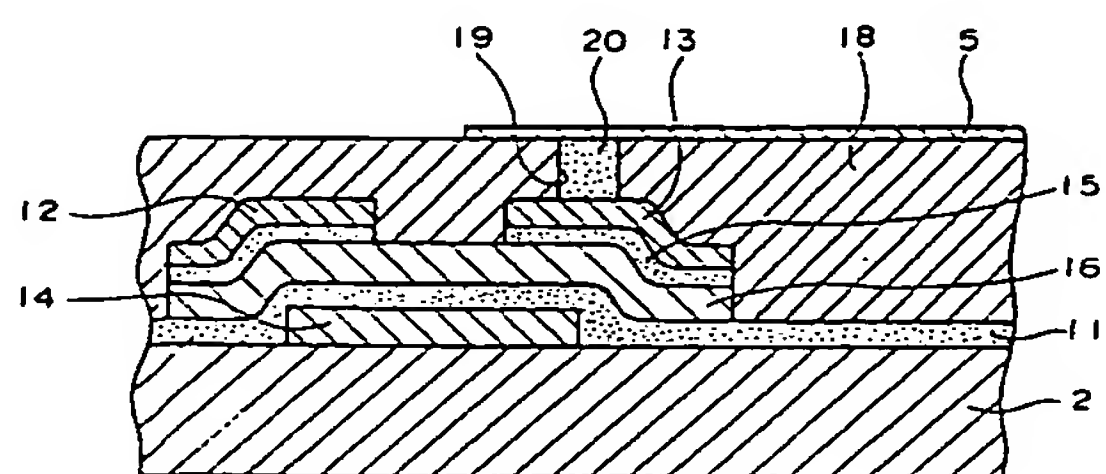
第5図は第4図のマトリクスパネル1a内の任意のTFT及びその近傍における電極及び配線の配置状態を示す平面図、

第6図は第5図に示したTFT及びその近傍のA-A拡大断面図である。

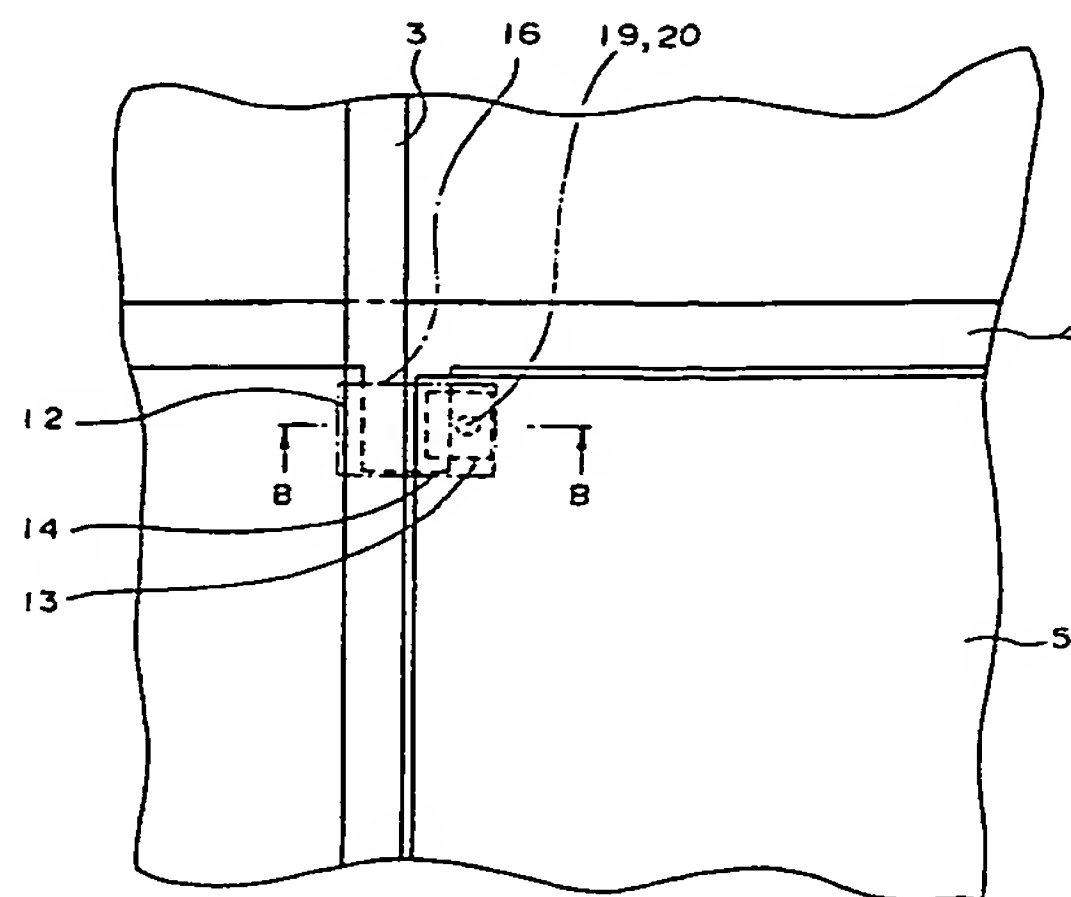
- 2・・・絶縁基板、
- 3・・・信号線(ドレイン線)、
- 4・・・走査線(ゲート線)、
- 5・・・透明画素電極、
- 11・・・絶縁層(ゲート絶縁膜)、
- 12・・・ドレイン電極、
- 13・・・ソース電極、
- 14・・・ゲート電極、
- 15・・・コンタクト層、
- 16・・・半導体層、
- 17・・・トランジスタ領域、
- 18・・・透明絶縁層、
- 19・・・コンタクトホール、
- 20・・・メッキ層、

特許出願人 カシオ計算機株式会社

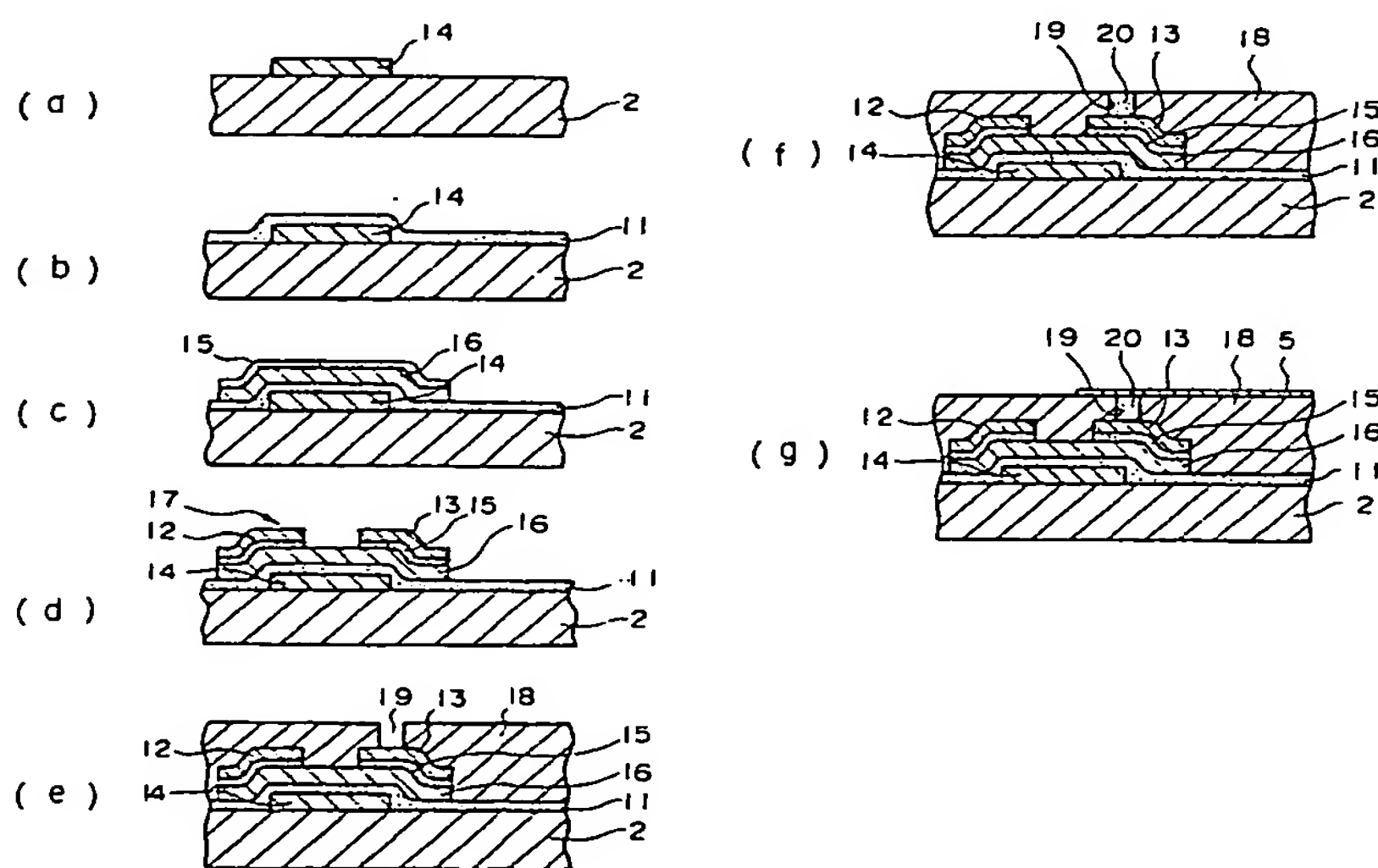
特開昭64-68727(6)



第 1 圖

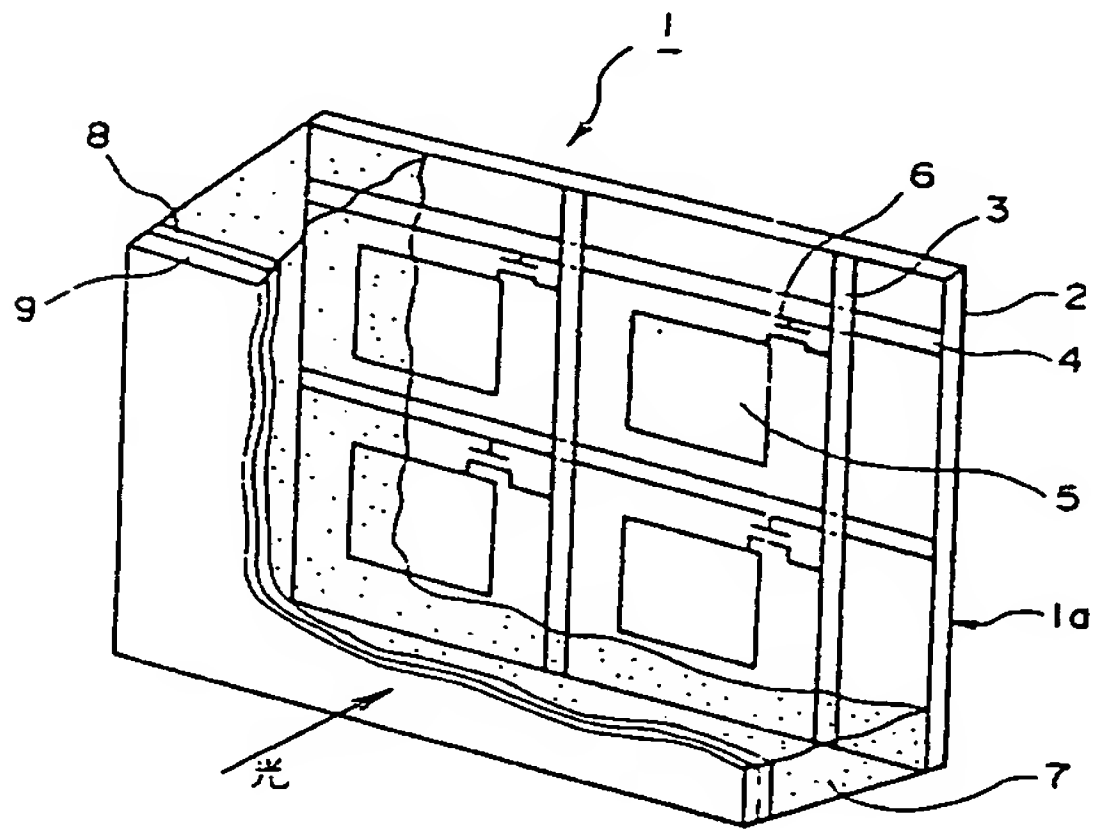


第 2 図

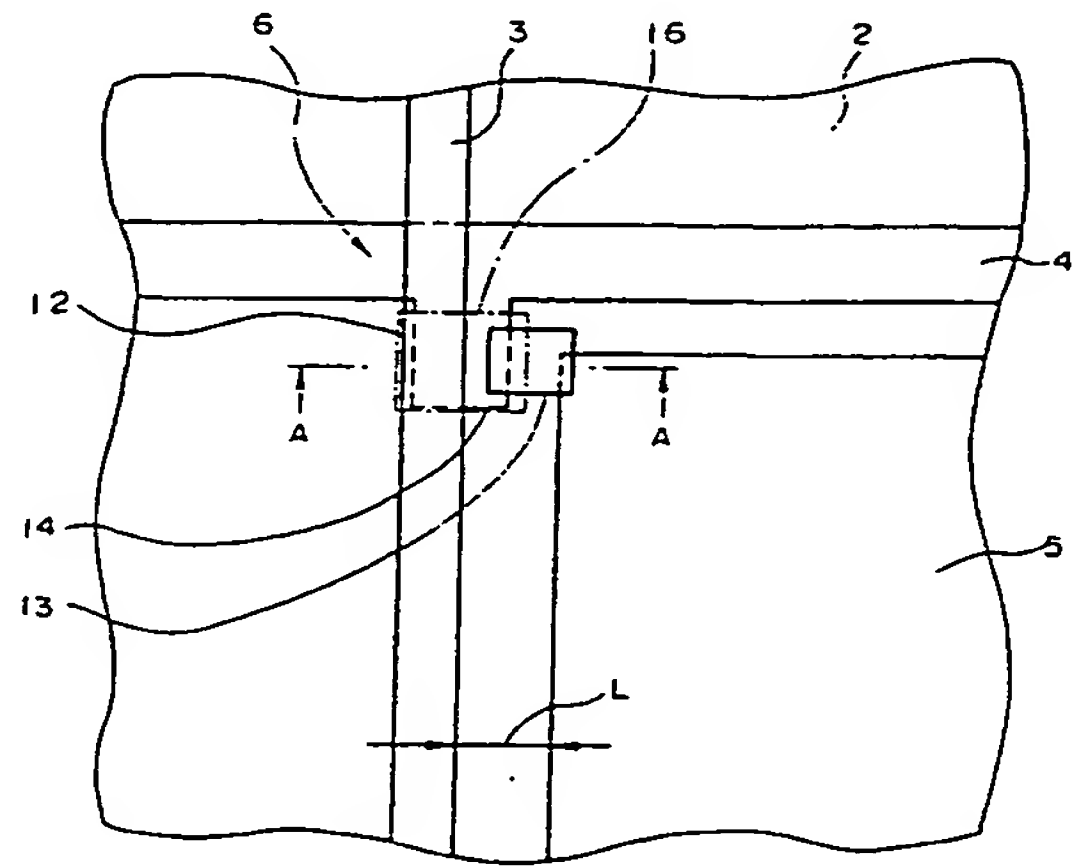


第 3 図

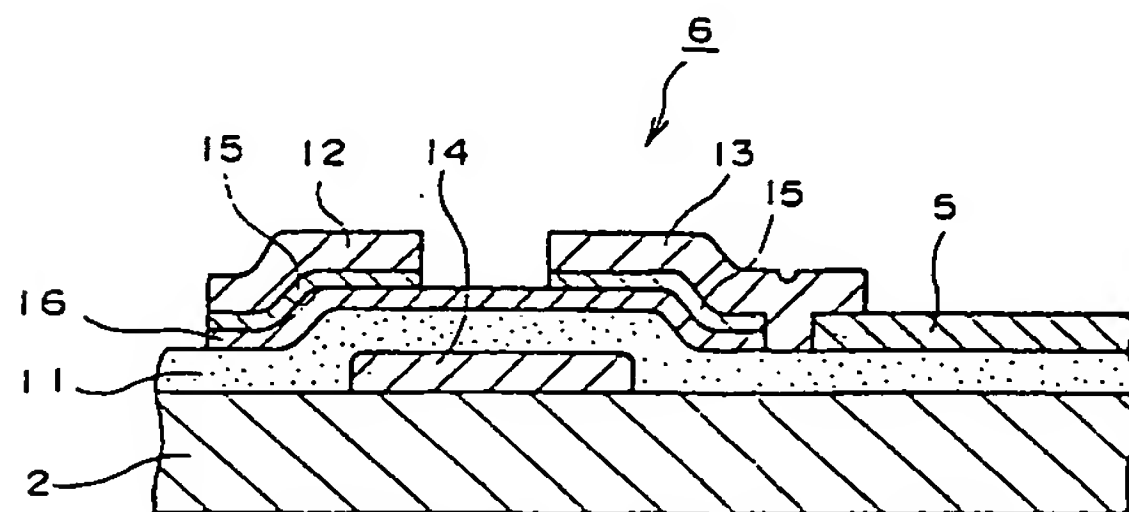
特開昭64-68727 (7)



第 4 図



第 5 図



第 6 図